

Original document

HETEROJUNCTION BIPOLAR TRANSISTOR AND ITS INTEGRATED LIGHT-RECEIVING CIRCUIT

Publication number: JP6326120

Publication date: 1994-11-25

Inventor: MATSUOKA YUTAKA; SANO EIICHI; KURISHIMA KENJI; NAKAJIMA HIROKI; ISHIBASHI TADAO

Applicant: NIPPON TELEGRAPH & TELEPHONE

Classification:


- international: *H01L29/205; H01L21/331; H01L27/144; H01L29/08; H01L29/73; H01L29/737; H01L31/10; H01L31/11; H01L21/02; H01L27/144; H01L29/02; H01L29/66; H01L31/10; H01L31/101; (IPC1-7): H01L21/331; H01L29/205; H01L29/73; H01L31/10*

- european:

Application number: JP19930132371 19930512

Priority number(s): JP19930132371 19930512

Also published as:

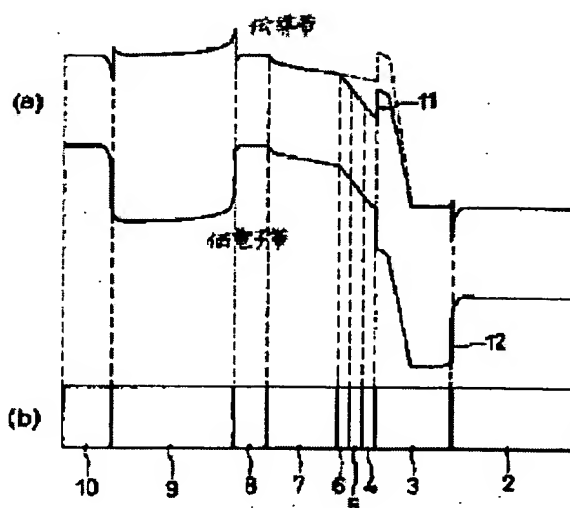
 US5557117 (A1)
View INPADOC patent family

Report a data error here

Abstract of JP6326120

PURPOSE: To achieve the high-speed operation of a heterojunction bipolar transistor, to increase the breakdown strength of a collector and to achieve the high-speed operation of an integrated light-receiving circuit composed of a pin-type photodiode and of the heterojunction bipolar transistor which are formed on the same substrate.

CONSTITUTION: A steep change in a potential inside a collector is set in InP (a collector layer 3) whose band gap energy is large, and the breakdown strength of the collector is ensured. In addition, the multilayer structure of the collector is formed as a BCT structure, and a voltage drop inside a collector layer 7 is set at 0.55eV or lower as the energy difference between the GAMMA band, one of the conduction bands of InGaAs, and the L band, one of the other conduction bands.

Data supplied from the *esp@cenet* database - Worldwide

Description of corresponding document: US5557117

BACKGROUND OF THE INVENTION

The present invention relates to a heterojunction bipolar transistor and an integrated circuit device such as a photoreceiver opto-electro integrated circuit comprising the heterojunction bipolar transistors and a pin photodiode.

In the heterojunction bipolar transistor, the emitter has a wider band gap than that of a base layer, so emitter injection efficiency can be advantageously kept high even when the impurity concentration of the base layer is high. In addition, the heterojunction bipolar transistor can be operated at a speed higher than that of a homojunction bipolar transistor because of the excellent electron transport properties of the compound semiconductor used in the base and/or collector layers. One of the typical examples of this type of transistors is an npn-InP/InGaAs-based heterojunction bipolar transistor.

FIGS. 3A and 3B respectively show the energy band diagram and layer structure of a conventional InP/InGaAs heterojunction bipolar transistor.

This heterojunction bipolar transistor is constituted by an InGaAs collector contact layer 52 containing a high-concentration n-type impurity formed on a semi-insulating InP substrate, an InGaAs collector layer 57 containing a low-concentration n-type impurity, an InGaAs base layer 58 containing a high-concentration p-type impurity, an InP emitter layer 59 containing an n-type impurity, and an InGaAs emitter contact layer 60 containing a high-concentration n-type impurity.

A collector electrode, a base electrode, and an emitter electrode are formed on the collector contact layer 52, the base layer 58, and the emitter contact layer 60, respectively, and each of these electrodes consists of Ti/Pt/Au.

Since this structure uses InP as the emitter layer 59, which has a band gap wider than that of the base layer 58, emitter injection efficiency can be kept high even at a high doping concentration of the base layer. In addition, due to the excellent electron transport properties of, InGaAs, the transistor can operate at a high-speed.

In a heterojunction bipolar transistor, it is important to decrease transit time of electrons in the collector to increase the operation speed. As one of structures for realizing this, a collector structure of ballistic collection transistor (to be referred to as a BCT hereinafter) has been proposed (T. Ishibashi and Y. Yamauchi, "A possible near-ballistic collection in AlGaAs/GaAs HBT with a modified collector structure, "IEEE Trans. Electron Devices, vol. 35, pp. 401-404, 1988).

As shown in FIGS. 5A and 5B, a collector layer 57 of the InP/InGaAs BCT structure is constituted by an undoped InGaAs layer 57b, an InGaAs layer 57c containing a p-type impurity at a high concentration, and an InGaAs layer 57d containing an n-type impurity at a high concentration. The same reference numerals as in FIG. 3B denote the same parts in FIG. 5B.

The InGaAs layer 57c and the InGaAs layer 57d constitute a p-n junction to form a potential cliff near the interface between the collector and the collector contact layer.

This potential cliff reduces the potential change in the collector layer 57b, and suppresses the transition of electrons passing through the collector layer 57b from T-valley to L-valley. As a result, the transit time of electrons in a collector is shortened to decrease the operation time of the transistor.

However, the heterojunction bipolar transistors shown in FIGS. 3A, 3B, 5A, and 5B have a low collector breakdown voltage because a strong electric field is applied to a semiconductor with a low band gap energy located near the interface between the collector and the collector contact layer.

The situation is very severe especially in the heterojunction bipolar transistor using InGaAs as the material of the collector, which has a band gap energy of the InGaAs as low as 0.76 eV.

When the emitter is grounded, and collector current density is increased, the collector breakdown voltage becomes very low due to the high ionization coefficient.

In addition, in the BCT structure, a steeper potential change is produced near the interface between the collector layer and the collector contact layer to make the problem of the breakdown voltage more serious in a transistor using an InP/InGaAs-based material.

FIG. 4 shows a structure of a photoreceiver opto-electro integrated circuit is constituted by conventional heterojunction bipolar transistors and a Pin photodiode which uses the same layers as the base layer 58, the collector layer 57, and the collector contact layer 52 of the above heterojunction bipolar transistor. This structure is described in, for example, K. D. Pedrotti, N. H. Sheng, R. L. Pierson, Jr., C. W. Farley, M. J. Rosker and M. F. Chang, "Monolithic ultrahigh-speed GaAs HBT optical integrated receivers", Tsch. Dig. 1991 GaAs IC symp., pp. 205-208.

The same reference numerals as in FIGS. 3A and 3B denote the same parts in FIG. 4. In FIG. 4, reference numeral 51 denotes a semi-insulating InP substrate; 52a, an InGaAs layer containing n-type impurities at a high concentration; 57a, an intermediate InGaAs layer; and 58a, p-type layer consisting of InGaAs containing p-type impurities at a high concentration. The n-type layer 52a, the intermediate layer 57a, and the p-type layer 58a constitute a Pin photodiode.

Referring to FIG. 4, reference numeral 61 denotes an emitter electrode formed on the emitter contact layer 60; 62, a base electrode formed on the base layer 58; 63, a collector electrode formed on the collector contact layer 52; 62a, an ohmic electrode formed on the p-type layer 58a; and 63a, an ohmic electrode formed on the n-type layer 52a. In this case, the collector contact layer 52 and the n-type layer 52a, the collector layer 57 and the intermediate layer 57a, and the p-type base layer 58 and the p-type layer 58a are, respectively, simultaneously formed by epitaxial growth. In addition, the base electrode 62 and the ohmic electrode 62a, and the collector electrode 63 and the ohmic electrode 63a, respectively, are simultaneously formed.

In this manner, the heterojunction bipolar transistor and the photodiode are formed on the same substrate.

The photoreceiver opto-electro integrated circuit with the above Arrangement has not only a serious problem of the low collector breakdown voltage as described above, but also the following problem.

In an integrated circuit implemented with a pin photodiode which is formed on the same semiconductor substrate using the base layer, collector layer, and collector contact layer of the heterojunction bipolar transistor, the response speed of an photo-excitation current of a photodiode with respect to incident light is not easily increased due to the following reason. That is, the incident light reaches the n-type layer deeper than the intermediate layer to generate electron-hole carrier pairs in the n-type layer, and the holes contribute to the photo-excitation current of the photodiode.

The response of the photodiode is delayed because of the transit time of the holes generated in the deep portion of the collector contact layer (n-type layer) to the base layer by diffusion or drifting.

In this state, even if a photoreceiver opto-electro integrated circuit is realized by forming a photodiode on the substrate on which the electronic circuit is formed, and an electronic circuit operates at a high speed, the response speed of the photodiode is low. For this reason, the operation speed of the integrated circuit cannot be easily increased.

SUMMARY OF THE INVENTION

It is, therefore, a principal object of the present invention to provide a heterojunction bipolar transistor which can be operated at a high speed and can increase a collector breakdown voltage.

It is another object of the present invention to provide an integrated circuit device in which the operation of a photoreceiver opto-electro integrated circuit constituted by a Pin photodiode and a heterojunction bipolar transistor which are formed on the same substrate can be performed at a high speed.

In order to achieve the above objects, according to an aspect of the present invention, there is provided a heterojunction bipolar transistor comprising a collector contact layer constituted by a first semiconductor layer formed on a semiconductor substrate and containing an impurity of a first conductivity type at a high concentration, a collector region stacked on the collector contact layer, a base layer constituted by a fifth semiconductor layer of a second conductivity type formed on the collector region, and an emitter layer constituted by a semiconductor layer of the first conductivity type formed on the base layer, wherein the collector region is constituted by a second semiconductor layer, a third semiconductor layer of the second conductivity type having an impurity concentration higher than that of the second semiconductor layer, and a fourth semiconductor layer of the first conductivity type having a band gap energy larger than that of each of the first and second semiconductor layers and an impurity concentration higher than that of the second semiconductor layer and lower than that of the first semiconductor layer, and the fourth semiconductor layer, the third semiconductor layer, and the second semiconductor layer are sequentially formed on the collector contact layer in an order named.

According to another object of the present invention, there is provided a photoreceiver opto-electro integrated circuit constituted by heterojunction bipolar transistors and a pin photodiode on the same semiconductor substrate, the heterojunction bipolar transistor comprising a collector contact layer constituted by a first semiconductor layer of a first conductivity type and formed on the semiconductor substrate, a collector region stacked on the collector contact layer, a base layer constituted by a fifth semiconductor layer of a second conductivity type formed on the collector region, and an emitter layer constituted by a semiconductor layer of the first conductivity type formed on the base layer, the collector region being constituted by a second semiconductor layer, a third semiconductor layer of the second conductivity type having an impurity concentration higher than that of the second semiconductor layer, and a fourth semiconductor layer of the first conductivity type having a band gap energy higher than that of each of the first and second semiconductor layers and an impurity concentration higher than that of the second semiconductor layer, and the fourth semiconductor layer, the third semiconductor layer, and the second semiconductor layer being sequentially formed on the collector contact layer in an order named, and the pin photodiode comprising a first conductivity type layer constituted by the first semiconductor layer formed on the semiconductor substrate, an intermediate layer obtained by sequentially stacking the fourth semiconductor layer, the third semiconductor layer, and the second semiconductor layer on the first conductivity type layer in an order named, and a second conductivity type layer constituted by the fifth semiconductor layer formed on the intermediate layer.

BRIEF DESCRIPTION OF THE DRAWINGS

FIGS. 1A and 1B are views respectively showing the energy band diagram and layer structure of a heterojunction bipolar transistor according to the first embodiment of the present invention;

FIG. 2 is a sectional view showing the arrangement of a photoreceiver opto-electro integrated circuit according to the second embodiment of the present invention;

FIGS. 3A and 3B are views respectively showing the energy band diagram and layer structure of a conventional bipolar transistor;

FIG. 4 is a sectional view showing the arrangement of a photoreceiver opto-electro integrated circuit constituted by the conventional heterojunction bipolar transistor and a pin photodiode;

FIGS. 5A and 5B are views respectively showing the energy band diagram and layer structure of a conventional heterojunction bipolar transistor using a BCT structure as a collector; and

FIGS. 6A to 6D are views respectively showing the energy band diagrams and layer structures of heterojunction bipolar transistors to compare the present invention with conventional techniques.

DESCRIPTION OF THE PREFERRED EMBODIMENTS

Embodiments of the present invention will be described below with reference to the accompanying drawings.

First Embodiment

FIGS. 1A and 1B respectively show the energy band diagram and layer structure of a heterojunction bipolar transistor according to the first embodiment of the present invention.

Referring to FIG. 1, reference numeral 2 denotes a collector contact layer consisting of InGaAs containing n-type impurities at a high concentration and formed on a semi-insulating InP substrate; 3, a collector layer (fourth semiconductor layer) consisting of InP containing an n-type impurity; 4, a thin collector layer consisting of InGaAs containing n-type impurities at a high concentration; 5, a thin collector layer consisting of undoped InGaAs; 6, a thin collector layer (third semiconductor layer) consisting of InGaAs containing p-type impurities at a high concentration; and 7, a collector layer (second semiconductor layer) consisting of undoped InGaAs.

Reference numeral 8 denotes a base layer consisting of InGaAs containing p-type impurities at a high concentration; 9, an emitter layer consisting of InP containing n-type impurities; and 10, an emitter contact layer consisting of InGaAs containing n-type impurities at a high concentration. Note that the collector layers 3, 4, 5, 6, and 7 constitute a collector CL.

Note that reference numeral 11 denotes a discontinuity of a conduction band, and 12 denotes a discontinuity of a valence band.

In this case, the thin collector layers 4 and 6 consisting of InGaAs reduce the influence of the discontinuity 11 of the conduction band formed at the heterojunction interface between InGaAs and InP. That is, when the discontinuity 11 is continuously present from the collector layer 7, the discontinuity 11 serves as a barrier for electrons flowing from the base layer 8 to the collector contact layer 2.

When the thin collector layers 4 and 6 are inserted, the energy level of the discontinuity 11 can be lowered, and the effective height of the barrier for electrons can be advantageously decreased.

In addition, the thin collector layer 5 advantageously suppresses the diffusion of the impurities of the thin collector layer 6 and the thin collector layer 4 during crystal growth or device fabrication processes.

As shown in FIG. 1A, in this structure, most of the potential change in the collector CL is set in InP (collector layer 3) with a high band gap energy, thereby assuring a high collector breakdown voltage.

In addition, voltage drop in the collector layer 7 is set to be small as in a BCT structure.

In this manner, since electrons travel through Γ bands in most regions of the collector CL, the transit time of electrons in the collector CL is shortened.

As described above, in the heterojunction bipolar transistor according to the first embodiment, the collector CL has a BCT structure, and the transit time of carriers in the collector CL is shortened.

Since a portion which is near the interface between the collector layer and the collector contact layer and to which a strong electric field is applied is constituted by a semiconductor layer having a high band gap energy, a collector breakdown voltage considerably increases.

In the first embodiment described above, although undoped InGaAs is used as the material of the collector layer 7, the material of the collector layer 7 is not limited to this InGaAs.

The collector layer 7 may be formed using InGaAs containing an n- or p-type impurity at a concentration lower than that of the p-InGaAs of the base layer 8.

A thin layer consisting of InGaAs containing an n-type impurity at a high concentration may be inserted between the collector layer 7 and the base layer 8 to suppress the base widening effect caused by space charges in the operation of a transistor at a high current density.

The minimum thickness of the collector layer 7 adjacent to the base layer 8 is not easily quantitatively

determined from the viewpoint of a reduction in a current blocking effect. According to an experiment, a thickness of 40 nm is insufficient, and a thickness of at least about 100 nm may be required as the minimum thickness.

The layer structure may be changed without departing from the spirit and scope of the present invention. For example, the collector contact layer 2 may consist of InP.

According to the above structure of the first embodiment, large part of the collector CL consists of InGaAs to improve the carrier transport properties, a high collector breakdown voltage is assured, and a current blocking effect is sufficiently suppressed.

Second Embodiment

FIG. 2 shows the arrangement of a photoreceiver opto-electro integrated circuit according to the second embodiment of the present invention.

Referring to FIG. 2, reference numeral 1 denotes a substrate consisting of semi-insulating InP; 2a, an InGaAs layer containing n-type impurities at a high concentration; 3a, an InP layer containing n-type impurities; 4a, a thin InGaAs layer containing n-type impurities at a high concentration; 5a, a thin undoped InGaAs layer; 6a, a thin InGaAs layer containing p-type impurities at a high concentration; 7a, an intermediate undoped InGaAs layer; and 8a, an InGaAs layer containing p-type impurities at a high concentration.

Reference numeral 13 denotes an emitter electrode formed on an emitter contact layer 10; 14, a base electrode formed on a base layer 8; 15, a collector electrode formed on a collector contact layer 2; 14a, an ohmic electrode formed on the p-type layer 8a; and 15a, an ohmic electrode formed on the n-type layer 2a.

The n-type layer 2a, the intermediate layer 3a, the thin intermediate layers 4a to 6a, the intermediate layer 7a, and the p-type layer 8a constitute a pin photodiode, so the heterojunction bipolar transistor and the pin photodiode are formed on the same substrate. The same reference numerals as in FIG. 1B denote the same parts in FIG. 2.

Referring to FIG. 2, the collector contact layer 2 and the n-type layer 2a, the collector layer 3 and the intermediate layer 3a, the thin collector layer 4 and the thin intermediate layer 4a, the thin collector layer 5 and the thin intermediate layer 5a, the thin collector layer 6 and the thin intermediate layer 6a, the collector layer 7 and the intermediate layer 7a, and the base layer 8 and the p-type layer 8a are, respectively, simultaneously formed.

In addition, the base electrode 14 and the ohmic electrode 14a, and the collector electrode 15 and the ohmic electrode 15a are, respectively, simultaneously formed.

All layers with numerals 2 to 10 are formed by epitaxial growth. Predetermined regions of these deposited layers are etched using photoresists as masks to form the mesas.

For example, an emitter mesa region as shown in the right of FIG. 2, which includes the emitter contact layer 10 and the emitter layer 9 of the heterojunction bipolar transistor, is formed by etching with a patterned photoresist mask.

During this mesa etching procedure, the region of the pin photodiode shown on the left of FIG. 2, is exposed without forming a mask to reveal the p-type layer 8a.

Thereafter, when the processes for fabricating the heterojunction bipolar transistor are also performed to a region for forming the pin photodiode, the heterojunction bipolar transistor and the pin photodiode can be fabricated simultaneously.

In the pin photodiode according to this embodiment, the intermediate layer 3a consists of InP with a high band gap energy, and the n-type layer 2a consists of InGaAs with a low band gap energy.

Therefore, as shown in FIG. 1A, a discontinuity 12 of a valence band is formed on the heterojunction

interface of the intermediate layer 3a and the n-type layer 2a. This discontinuity 12 operates as a barrier for holes generated by photo-excitation in the layer 2a. Therefore, the holes generated in the layer 2a do not contribute to a photo-excitation current of the pin photodiode. For example, when a 1.3- μm or 1.55- μm wavelength is used for the incident light to the pin photodiode, no electron-hole pairs are generated in the intermediate layer 3a. Therefore, the response speed of this pin photodiode can be considerably increased compared with that of a conventional pin photodiode.

When the thickness of the collector layer 7 or 7a in contact with the base layer is considered from the viewpoint of formation of the pin photodiode, this thickness is determined by the demand of the sensitivity of the photodiode. Assuming that the absorption coefficient of InGaAs for light with a 1.55- μm wavelength is 0.68.times.10⁴ /cm, the thickness of the collector layer 7 or 7a must be set to be about 200 nm or more to obtain a photo-excitation current of 0.1 A/W or more.

As described above, according to the present invention, the transit time of electrons in the collector is shortened, and an effect that a collector breakdown voltage considerably increases is obtained. Therefore, the bipolar transistor according to the present invention is variously applied as a transistor for an ultrahigh-speed, high-frequency integrated circuit or a transistor for amplifying RF power.

In addition, in the photoreceiver opto-electro integrated circuit according to the present invention, an effect that the response speed of the pin photodiode is increased can be obtained. Therefore, the photoreceiver opto-electro integrated circuit operates at a high speed.

The pin photodiode can be fabricated simultaneously with a heterojunction bipolar transistor without any special process.

Finally, the structure according to the present invention will be compared with various conventionally proposed structures with reference to FIGS. 6A to 6D.

FIG. 6A shows the basic structure of the present invention and corresponds to FIGS. 1A and 1B.

In the structure according to the present invention, as described above, most part of the collector CL consists of InGaAs so as to improve the electron transport, a high collector breakdown voltage can be assured, and a current blocking effect can be sufficiently suppressed.

FIG. 6B shows, for example, as described in Japanese Patent Laid-Open No. 4-127534 (published on Apr. 28, 1992), a case wherein a collector has a structure of thick undoped InGaAs/thin p⁺-InGaAs/n⁺-InGaAsP (graded)/n⁺-InP. In this structure, suppression of a current blocking effect can be achieved as in the present invention. However, an increase in collector voltage does not cause a depletion layer to extend. For this reason, an electric field is concentrated (band gap is small) near p⁺-InGaAs/n⁺-InGaAsP, and a collector breakdown voltage cannot be assured. In addition, since this structure is a four-element graded structure, gradation cannot be easily controlled, and a four-element layer cannot be easily etched.

FIG. 6C shows, for example, as described in Japanese Patent Laid-Open No. 4-245439 (published on Sep. 2, 1992), a case wherein a collector has a structure of thin undoped InGaAs/thin p-InGaAs/thin n-InP/undoped InP. In this structure, InGaAs is present only in a region near the base layer, and the electron energy in this region is low, thereby minimizing the ionization in the InGaAs. In addition, an end of a collector depletion layer is certainly in InP. At a condition of high current density and a high collector voltage, an electric field tends to become strong near the end of the depletion layer, i.e., in the InP. For this reason, this structure has a high collector breakdown voltage. However, undoped InGaAs adjacent to the base layer is thin, and a notch is formed between p-InGaAs and n-InP. For these reasons, a current blocking effect cannot be sufficiently suppressed. In addition, the InGaAs layer is too thin to be used as a photo-absorption layer of a photodiode. So it is impossible to fabricate a photoreceiver opto-electro integrated circuit using this structure. Moreover, in this structure, since large part of the collector depletion layer is occupied by InP with an electron transport properties inferior to that of InGaAs, the operation speed is lower than that of the present invention.

FIG. 6D shows, for example, as described in Japanese Patent Laid-Open No. 4-221834 (published on Aug. 12, 1992), a case wherein a collector has a structure of thin undoped InGaAs/thin n⁺-InGaAs/undoped

InP. The feature of this structure are the same as those of FIG. 6C.

Data supplied from the *esp@cenet* database - Worldwide

Claims of corresponding document: **US5557117**

What is claimed is:

1. A semiconductor integrated circuit device comprising: a photoreceiver opto-electro integrated circuit obtained by forming a heterojunction bipolar transistor on a first portion of a semiconductor substrate; and a pin photodiode formed on a second portion of the semiconductor substrate, said heterojunction bipolar transistor comprising: a collector contact having a first semiconductor layer of a first conductivity type and formed on said first portion of the semiconductor substrate; a collector region stacked on said collector contact, a base having a second semiconductor layer of a second conductivity type formed on said collector region, and an emitter having a semiconductor layer of the first conductivity type formed on said base layer, said collector region including: a third semiconductor layer, a fourth semiconductor layer of the second conductivity type having an impurity concentration higher than that of said third semiconductor layer, and a fifth semiconductor layer of the first conductivity type having a band gap energy higher than that of each of said first and third semiconductor layers and an impurity concentration larger than that of said third semiconductor layer, and lower than that of said first semiconductor layer, wherein said fifth semiconductor layer, said fourth semiconductor layer, and said third semiconductor layer are sequentially formed on said collector contact, said pin photodiode comprising: said first semiconductor layer of the first conductivity type formed on said second portion of the semiconductor substrate, an intermediate layer obtained by sequentially stacking said fifth semiconductor layer, said fourth semiconductor layer, and said third semiconductor layer on said first semiconductor layer, and said second semiconductor layer of the second conductivity type formed on said intermediate layer.

Data supplied from the *esp@cenet* database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-326120

(43)公開日 平成6年(1994)11月25日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/331

29/73

29/205

H 0 1 L 29/ 72

8422-4M

31/ 10

A

審査請求 未請求 請求項の数8 F D (全 7 頁) 最終頁に続く

(21)出願番号 特願平5-132371

(22)出願日 平成5年(1993)5月12日

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72)発明者 松岡 裕

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72)発明者 佐野 栄一

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72)発明者 栗島 賢二

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(74)代理人 弁理士 山川 政樹

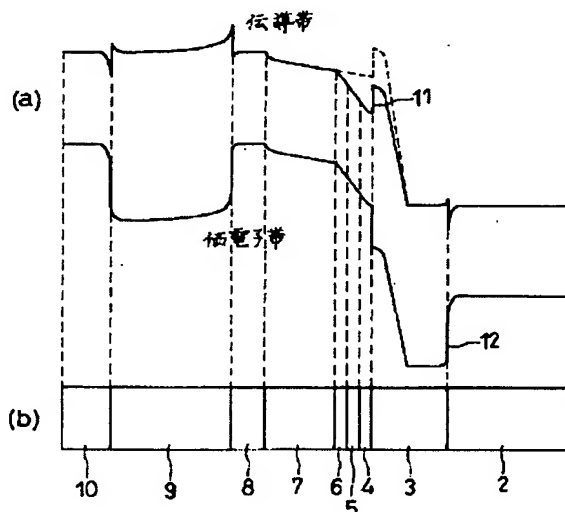
最終頁に続く

(54)【発明の名称】 ヘテロ接合パイポーラトランジスタ及びその集積化受光回路

(57)【要約】

【目的】 ヘテロ接合パイポーラトランジスタの動作を高速化し、かつコレクタ耐圧を大きくすることを目的とする。また、同一基板上に形成されたP i n型フォトダイオードとヘテロ接合パイポーラトランジスタからなる集積化受光回路の動作を、高速にすることを目的とする。

【構成】 コレクタ中の急峻なポテンシャル変化を、バンドギャップエネルギーの大きいI n P (コレクタ層3)に設定しコレクタ耐圧を確保する。また、コレクタの多層構造をB C T構造として、コレクタ層7の中の電圧降下を、I n G a A sの伝導帯の一つであるΓ帯と他の伝導帯の一つであるL帯のエネルギー差である0.5 e V以下とする。



1

2

【特許請求の範囲】

【請求項1】 半導体基板上に形成された第1導電型の第1の半導体層からなるコレクタコンタクト層と、第2の半導体層、前記第2の半導体層より不純物濃度が高い第2導電型の第3の半導体層、前記第1と第2の半導体層よりもバンドギャップエネルギーが大きく前記第2の半導体層より不純物濃度が高い第1導電型の第4の半導体層とから構成されて、前記第4の半導体層、第3の半導体層、第2の半導体層の順に前記コレクタコンタクト層上に積層されたコレクタ領域と、前記コレクタ領域上に形成された第2導電型の第5の半導体層からなるベース層と、前記ベース層上に形成された第1導電型の半導体層からなるエミッタ層とを有することを特徴とするヘテロ接合バイポーラトランジスタ。

【請求項2】 請求項1記載のヘテロ接合バイポーラトランジスタにおいて、前記第2の半導体層が前記ベース領域よりも不純物濃度が低く第1導電型であることを特徴とするヘテロ接合バイポーラトランジスタ。

【請求項3】 請求項1記載のヘテロ接合バイポーラトランジスタにおいて、前記第2の半導体層が前記ベース領域よりも不純物濃度が低く第2導電型であることを特徴とするヘテロ接合バイポーラトランジスタ。

【請求項4】 請求項1記載のヘテロ接合バイポーラトランジスタにおいて、前記第4の半導体層のバンドギャップエネルギーが、この層の中心部で極大となることを特徴とするヘテロ接合バイポーラトランジスタ。

【請求項5】 ヘテロ接合バイポーラトランジスタとPin型フォトダイオードとが同一半導体基板上に形成された集積化受光回路であって、前記ヘテロ接合バイポーラトランジスタは、前記半導体基板上に形成された第1導電型の第1の半導体層からなるコレクタコンタクト層と、第2の半導体層と、前記第2の半導体より不純物濃度が高い第2導電型の第3の半導体層と、前記第1と第2の半導体よりもバンドギャップエネルギーが大きく前記第2の半導体層より不純物濃度が高い第1導電型の第4の半導体層とから構成されて、前記第4の半導体層、第3の半導体層、第2の半導体層の順に前記コレクタコンタクト層上に積層されたコレクタ領域と、前記コレクタ領域上に形成された第2導電型の第5の半導体層からなるベース層と、前記ベース層上に形成された第1導電型の半導体層からなるエミッタ層とを有し、前記Pin型フォトダイオードは、前記半導体基板上に形成された前記第1の半導体層からなる第1導電型層と、

前記第1導電型層上に前記第4の半導体層と第3の半導体層と第2の半導体層とがこの順に積層された中間層と、前記中間層上に形成された前記第5の半導体層からなる第2導電型層とを有することを特徴とする集積化受光回路。

【請求項6】 請求項5記載の集積化受光回路において、前記第1の半導体層が前記第5の半導体層よりも不純物濃度が低く第1導電型であることを特徴とする集積化受光回路。

【請求項7】 請求項5記載の集積化受光回路において、前記第1の半導体層が前記第5の半導体層よりも不純物濃度が低く第2導電型であることを特徴とする集積化受光回路。

【請求項8】 請求項5記載の集積化受光回路において、前記第3の半導体層のバンドギャップエネルギーが、この層の中心部で極大となることを特徴とする集積化受光回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、ヘテロ接合バイポーラトランジスタ及びヘテロ接合バイポーラトランジスタとPin型フォトダイオードよりなる集積化受光回路に関するものである。

【0002】

【従来の技術】 ヘテロ接合バイポーラトランジスタは、ベース層よりもバンドギャップの大きい半導体をエミッタ層に使用したものであり、ベース層となる半導体の不純物濃度を高くしてもエミッタ注入効率を大きく保てる。ヘテロ接合バイポーラトランジスタはこのような利点を有し、ホモ接合バイポーラトランジスタよりも高速動作が可能である。ヘテロ接合バイポーラトランジスタとして、npn型InP/InGaAs系のものが挙げられる。

【0003】 図4は、従来のヘテロ接合バイポーラトランジスタのエネルギーバンド構造と層構成とを示す構成図である。このヘテロ接合バイポーラトランジスタは、半絶縁性InP基板上に形成されたn型不純物を高濃度に含むInGaAsからなるコレクタコンタクト層52と、コレクタコンタクト層52上に形成されたn型不純物を含むInGaAsからなるコレクタ層57と、コレクタ層57上に形成されたp型不純物を高濃度に含むInGaAsからなるベース層58と、ベース層58上に形成されたn型不純物を含むInPからなるエミッタ層59と、エミッタ層59上に形成されたn型不純物を高濃度に含むInGaAsからなるエミッタコンタクト層60とから構成されている。なお、コレクタコンタクト

3

層52, ベース層58, エミッタコンタクト層60とはそれぞれコレクタ電極, ベース電極, エミッタ電極が形成され, これらは例えば, $Ti/Pt/Au$ から構成されている。

【0004】また, 上述のヘテロ接合バイポーラトランジスタのベース層, コレクタ層, コレクタコンタクト層を用いて, Pin 型フォトダイオードを形成することができる。したがって, 同一の基板上にヘテロ接合バイポーラトランジスタと Pin 型フォトダイオードとを形成し, Pin 型フォトダイオードとヘテロ接合バイポーラトランジスタとの集積回路を製造できる (文献: K. D. Pedrotti, N. H. Sheng, R. L. Pierson, Jr., C. W. Farley, M. J. Rosker and M. F. Chang, "Monolithic ultrahigh-speed GaAs HBT optical integrated receivers", Tsch. Dig. 1991 GaAs IC Symp., pp. 205-208)。

【0005】図5は, 従来のヘテロ接合バイポーラトランジスタと Pin 型フォトダイオードとの集積化受光回路の構成を示す断面図である。同図において, 51は半絶縁性 InP からなる基板, 52aは n 型不純物を高濃度を含む $InGaAs$ からなる n 型層, 57aは n 型不純物を含む $InGaAs$ からなる中間層, 58aは p 型不純物を高濃度を含む $InGaAs$ からなる p 型層であるこの, n 型層52aと中間層57aと p 型層58aとで Pin 型フォトダイオードが形成されている。

【0006】また, 61はエミッタコンタクト層60上に形成されたエミッタ電極, 62はベース層58上に形成されたベース電極, 63はコレクタコンタクト層52上に形成されたコレクタ電極であり, 62aは p 型層58a上に形成されたオーミック電極, 63aは n 型層52a上に形成されたオーミック電極である。そして, 他の符号は図4と同様であり, 同一基板上にヘテロ接合バイポーラトランジスタとフォトダイオードとが形成されている。

【0007】図5において, コレクタコンタクト層52と n 型層52a, コレクタ層57と中間層57a, n 型層ベース層58と p 型層58aとは, それぞれ同時にエピタキシャル成長により形成される。また, ベース電極62とオーミック電極62a, コレクタ電極63とオーミック電極63aともそれぞれ同時に形成される。

【0008】ここで, コレクタをバリスティック・コレクション・トランジスタ (Ballistic Collection Transistor, 以下BTCという) 構造とすることで, トランジスタの動作速度を上げることができる。トランジスタ自体の動作速度を上げるためには, コレクタ中のキャリアの走行時間を短縮することが必要であり, これを実現するための構造の一つとして, BTC構造が提案され, 公知となっている (文献: T. Ishibashi and Y. Yamauchi, "A possible near-ballistic collection in AlGaAs/GaAs HBT with a modified collector structure", IEEE Trans. Electron Device

4

s, vol. 35, pp. 401-404, 1988)。

【0009】このBTC構造は, 図6に示すように, 導電性不純物を含まない $InGaAs$ 層57bと, p 型不純物を高濃度を含む $InGaAs$ 層57cと, n 型不純物を高濃度を含む $InGaAs$ 層57dとから, 図4におけるコレクタ層57を形成したものである。そして, $InGaAs$ 層57cと $InGaAs$ 層57dとで pn 接合を形成することで, コレクタ/コレクタコンタクト層の境界付近のポテンシャルの変化を急峻にしている。このようにすることにより, ベース層58からコレクタコンタクト層52へと伝導帯の Γ 帯を移動している電子が, この Γ 帯より上のエネルギー準位にある L 帯に移動する量が減少し, 結果としてコレクタ中の電子の走行時間が短縮される。

【0010】

【発明が解決しようとする課題】従来は, 以上のように構成されていたので, コレクタ耐圧が小さく集積化回路では高速動作をさせることができないという問題があった。ヘテロ接合バイポーラトランジスタを用いて高速で動作する集積回路を形成するためには, 素子自体の動作速度を上げることが必要である。そして, 形成した集積回路を動作させるために必要な電圧に耐えられるように, エミッタ/コレクタ間の耐圧を充分に大きく確保することが必要である。図4に示した, 従来構造によるヘテロ接合バイポーラトランジスタでは, 動作状態において急峻な電界がかかるコレクタ/コレクタコンタクト層境界近傍の半導体層が, バンドギャップエネルギーの小さい半導体からなり, コレクタ耐圧が小さい。

【0011】特に, 図4に示すように, $InGaAs$ をコレクタとするヘテロ接合バイポーラトランジスタでは, $InGaAs$ のバンドギャップエネルギーが0.76eVと小さく電流増幅係数が大きい。このため, エミッタを接地してコレクタ/エミッタ間に流す電流を高くした状態でのコレクタ耐圧が極めて小さい。したがって, 例えば, エミッタカップルドロジックの構成で論理ゲートを形成して高速性を引き出すための高電流動作をさせることができなかった。

【0012】また, ヘテロ接合バイポーラトランジスタのベース層, コレクタ層, コレクタコンタクト層を利用して, 同一の半導体基板上に Pin 型フォトダイオードを形成した集積回路では, 入射光に対するフォトダイオードの光励起電流の応答速度を上げることが困難であるという問題があった。これは, 入射光が中間層よりも深く n 型層まで進入して, n 型層深部でも電子及び正孔のキャリア対を生成させ, その正孔がフォトダイオードの光励起電流に寄与するためである。すなわち, コレクタコンタクト層 (n 型層) 深部で生成された正孔がベース層まで拡散またはドリフトによって移動する時間が, フォトダイオードの応答速度を律速するためである。

【0013】かかる状況では, 仮にヘテロ接合バイポー

ラトランジスタを用いて高速で動作する電子回路が実現され、かつ同一基板上にフォトダイオードも形成されて集積化受光回路が実現できたとしても、フォトダイオードの応答速度が遅いために集積回路の動作速度を上げることは困難であった。そして、トランジスタ自体の動作速度を早くするための従来のBC T構造では、コレクタ層／コレクタコンタクト層の境界付近でより急峻なポテンシャル変化を形成したエネルギーバンドを構成しているため、前述のコレクタ耐圧の問題が一層激しくなっていた。

【0014】この発明は、以上のような問題点を解消するためになされたものであり、ヘテロ接合バイポーラトランジスタの動作を高速化し、かつコレクタ耐圧を大きくすることを目的とする。また、この発明は、同一基板上に形成されたP i n型フォトダイオードとヘテロ接合バイポーラトランジスタからなる集積化受光回路の動作を、高速にすることを目的とする。

【0015】

【課題を解決するための手段】この発明のヘテロ接合バイポーラトランジスタは、半導体基板上に形成された第1導電型の第1の半導体層からなるコレクタコンタクト層と、第2の半導体層、第2の半導体層より不純物濃度が高い第2導電型の第3の半導体層、第1と第2の半導体層よりもバンドギャップエネルギーが大きく第2の半導体層より不純物濃度が高い第1導電型の第4の半導体層とから構成されて、第4の半導体層、第3の半導体層、第2の半導体層の順にコレクタコンタクト層上に積層されたコレクタ領域と、コレクタ領域上に形成された第2導電型の第5の半導体層からなるベース層と、ベース層上に形成された第1導電型の半導体層からなるエミッタ層とを有することを特徴とする。

【0016】また、この発明の集積化受光回路は、上記のヘテロ接合バイポーラトランジスタとP i n型フォトダイオードとが同一の半導体基板上に形成され、このP i n型フォトダイオードが半導体基板上に形成された第1の半導体層からなる第1導電型層と、第1導電型層上に第4の半導体層と第3の半導体層と第2の半導体層とがこの順に積層された中間層と、中間層上に形成された第5の半導体層からなる第2導電型層とを有することを特徴とする。

【0017】

【作用】コレクタ領域の急峻なポテンシャル変化をする領域のバンドギャップエネルギーが大きく、コレクタ領域のほぼ全域で電子はエネルギーの低い伝導帯を走行する。また、同一の基板上に集積化されるP i n型フォトダイオードは、ヘテロ接合バイポーラトランジスタと同時に形成され、P i n型フォトダイオードの中間層層がヘテロ接合バイポーラトランジスタのコレクタ領域と同じ層構成となり、入射光に対するP i n型フォトダイオードの光励起電流に対して第1導電型層で生成される第

2の導電型のキャリアが寄与する電流が小さくなる。

【0018】

【実施例】以下この発明の1実施例を図を参照して説明する。

実施例1. 図1は、この発明の1実施例であるヘテロ接合バイポーラトランジスタのエネルギーバンド構造と層構成とを示す構成図である。同図において、2は半絶縁性I n P基板上のn型不純物を高濃度に含むI n G a A sからなるコレクタコンタクト層、3はn型不純物を含むI n Pからなるコレクタ層（第4の半導体層）、4はn型の不純物を高濃度に含むI n G a A sからなる薄いコレクタ層、5は導電性不純物を含まないI n G a A sからなる薄いコレクタ層、6はp型の不純物を高濃度に含むI n G a A sからなる薄いコレクタ層（第3の半導体層）、7は導電性不純物を含まないI n G a A sからなるコレクタ層（第2の半導体層）である。

【0019】また、8はp型の不純物を高濃度に含むI n G a A sからなるベース層、9はn型の不純物を含むI n Pからなるエミッタ層、10はn型の不純物を高濃度に含むI n G a A sからなるエミッタコンタクト層である。なお、11は伝導帯の不連続、12は価電子帯の不連続である。

【0020】ここで、I n G a A sからなる薄いコレクタ層4、5はI n G a A sとI n Pのヘテロ接合界面に形成される伝導帯の不連続11の影響を低減させる。すなわち、不連続11がコレクタ層7から連続して存在した場合、ベース層8からコレクタコンタクト層2側を望んだときの電子に対する障壁となる。ここに、薄いコレクタ層4、5を挿入することで、不連続11のエネルギー準位を下げることができ、電子に対する障壁を低くする効果がある。さらに、薄いコレクタ層5は、薄いコレクタ層6と薄いコレクタ層4との不純物原子が、結晶成長中あるいは素子製作工程中に互いに拡散して、このp n接合が崩れてしまうのを抑制する効果がある。

【0021】図1(a)に示すように、この構造では、コレクタ中の急峻なポテンシャル変化を、バンドギャップエネルギーの大きいI n P（コレクタ層3）に設定しており、これによりコレクタ耐圧が確保できる。また、コレクタの多層構造をBC T構造となるようにして、コレクタ層7の中の電圧降下を、I n G a A sの伝導帯の一つであるΓ帯と他の伝導帯の一つであるL帯とのエネルギー差である0.55 eV以下としている。これによりコレクタ中のほとんどの領域において、電子はΓ帯を走行するので、コレクタ中の電子の走行時間が短縮される。

【0022】以上示したように、この実施例1のヘテロ接合バイポーラトランジスタは、コレクタがBC T構造となり、コレクタにおけるキャリアの移動時間が短縮される。そして、強電界がかかるコレクタ／コレクタコンタクト層境界近傍が、バンドギャップエネルギーの大き

7

い半導体層で構成されるため、コレクタ耐圧が大幅に増大される。

【0023】なお上記実施例1では、コレクタ層7に導電性不純物を含まないInGaAsを用いたが、これに限るものではない。ベース層8のp型InGaAsよりも低濃度のn型もしくはp型の不純物を含んだInGaAsを用いてコレクタ層7を形成しても良い。また、コレクタ層7とベース層8との間に、n型不純物を高濃度に含むInGaAsからなる層を挿入して、トランジスタの高電流密度動作における空間電荷によるベースの広がり効果を制御するようにしても良い。そして、コレクタコンタクト層2をInPから形成するなど本発明の趣旨を損なわない範囲で層の構成を変更しても良いことはいうまでもない。

【0024】実施例2。図2は、この発明の第2の実施例であるヘテロ接合バイポーラトランジスタのエネルギーバンド構造と層構成とを示す構成図である。同図において、22はn型不純物を高濃度に含むGaAsからなるコレクタコンタクト層、23はn型不純物を含むAlGaAsからなるコレクタ層、26はp型不純物を高濃度に含むGaAsからなる薄いコレクタ層、27は導電性不純物を含まないGaAsからなるコレクタ層、28はp型不純物を高濃度に含むAlGaAsからなるベース層、29はn型不純物を含むAlGaAsからなるエミッタ層である。

【0025】コレクタ層23は、層中のAlの組成比を変化させてある。すなわち、コレクタ層23のコレクタコンタクト層22との境界付近ではAlの組成比は0%、コレクタ層23の中央部ではAlの組成比は30%、コレクタ層23の薄いコレクタ層26との境界付近ではAlの組成比は0%であり、これらが連続的に変化している。

【0026】また、ベース層28、エミッタ層29においても、層中のAlの組成比を変化させてある。すなわち、ベース層28のコレクタ層27との境界付近ではAlの組成比が0%、ベース層28のエミッタ層との境界付近ではAlの組成比が12%であり、これが連続的に変化している。そして、エミッタ層29ではベース層28との境界付近ではAlの組成比が12%である状態より、ベース層28から離れるにしたがってAlの組成比が30%へと連続的に変化している。

【0027】AlGaAsは、Al組成比によってそのバンドギャップエネルギーも変化し、Alに組成比が大きいほどバンドギャップエネルギーも大きい。したがって、コレクタ層23内で上述のようにAlの組成比を変化させることにより、図2(a)に示すように、コレクタ層23において大きなバンドギャップエネルギーの領域が形成され、コレクタ耐圧を向上させることができる。また、コレクタ層27における電圧降下を0.3eV以下にしているため、これが伝導帯のΓ帯とよりエネルギー

8

ギー準位の高いL帯とのエネルギー差より小さく(BCI構造)、実施例1と同様の効果を奏する。また、この実施例2においても、コレクタ層27にn型またはp型の不純物をベース層28よりも低濃度に含ませてもよく、エミッタコンタクト層をエミッタ層上に形成したりするなどの変化をさせてもよい。

【0028】実施例3。図3は、この発明における第3の実施例である集積化受光回路の構成を示す断面図である。同図において、1は半絶縁性InPからなる基板、2aはn型不純物を高濃度に含むInGaAsからなるn型層、3aはn型不純物を含むInPからなる中間層、4aはn型の不純物を高濃度に含むInGaAsからなる薄い中間層、5aは導電性不純物を含まないInGaAsからなる薄い中間層、6aはp型の不純物を高濃度に含むInGaAsからなる薄い中間層、7aは導電性不純物を含まないInGaAsからなる中間層、8aはp型不純物を高濃度に含むInGaAsからなるp型層である。

【0029】また、13はエミッタコンタクト層10上に形成されたエミッタ電極、14はベース層8上に形成されたベース電極、15はコレクタコンタクト層2上に形成されたコレクタ電極であり、14aはp型層8a上に形成されたオーミック電極、15aはn型層2a上に形成されたオーミック電極である。この、n型層2aと中間層3aと薄い中間層4a~6aと中間層7aとp型層8aとでPin型フォトダイオードが形成され、同一基板上にヘテロ接合バイポーラトランジスタとPin型フォトダイオードとが形成される。なお、図中の他の符号は図1と同様である。

【0030】図3において、コレクタコンタクト層2とn型層2a、コレクタ層3と中間層3a、薄いコレクタ層4と薄い中間層4a、薄いコレクタ層5と薄い中間層5a、薄いコレクタ層6と薄い中間層6a、コレクタ層7と中間層7a、n型層ベース層8とp型層8aとは、それぞれ同時に形成される。また、ベース電極14とオーミック電極14a、コレクタ電極15とオーミック電極15aもそれぞれ同時に形成される。

【0031】この集積化受光回路では、基板1上にコレクタコンタクト層2となるn型不純物が高濃度に含まれるInGaAsから、エミッタコンタクト層10となるn型不純物が高濃度に含まれるInGaAsまでを、順次エピタキシャル成長により堆積形成し、これらをフォトリソによるマスクを用いて所定の領域をエッチングすることにより形成する。例えば、図3(b)に示す、ヘテロ接合バイポーラトランジスタのエミッタコンタクト層10、エミッタ層9の領域形成は、この領域をフォトリソなどのパターンをマスクとして被覆してエッチングすることにより形成する。

【0032】このエミッタコンタクト層10とエミッタ層9の形成時に、図3(a)に示すPin型フォトダイ

オードでは、マスクなどを形成せずにこの領域を露出させておくことにより、p型層8a全面が露出した状態となる。この後、ヘテロ接合バイポーラトランジスタを形成するための工程を、Pin型フォトダイオードを形成する領域にも行えば、ヘテロ接合バイポーラトランジスタとPin型フォトダイオードとが基板1上に同時に形成される。

【0033】この実施例のPin型フォトダイオードでは、中間層3aはバンドギャップエネルギーの大きいInPから形成されており、n型層2aはバンドギャップエネルギーの小さいInGaAsから形成されている。従って、両者のヘテロ接合面には、図1(a)に示したように、価電子帯の不連続12が形成されている。この不連続12は、Pin型フォトダイオードの光励起により生成された正孔の中で、中間層3aより深い領域の正孔に対して障壁として働くので、中間層で生成された正孔はこのPin型フォトダイオードの光励起電流には寄与しない。

【0034】例えば、この実施例のPin型フォトダイオードへの入射光として1.3μm帯の光を用いれば、中間層3aの中では電子・正孔対を生成させない。従って、このPin型フォトダイオードの応答速度を従来より大幅に向上することができる。なお、この集積化受光回路に実施例2で示した構成を用いても同様な効果を奏することはいうまでもない。

【0035】

【発明の効果】以上説明したように、この発明によれば、電子のコレクタ移動時間が短縮され、同時にコレクタ耐圧が大幅に増大するという効果がある。従って、この発明のバイポーラトランジスタは、超高速・高周波集積回路用トランジスタ、あるいは高周波電力増幅用トランジスタとして様々な応用が可能となる。また、この発

明の集積化受光回路では、Pin型フォトダイオードの応答速度が早くなるという効果がある。従って、集積化受光回路の動作が早くなる。また、Pin型フォトダイオードが、その形成のために特別なことをすること無く、ヘテロバイポーラトランジスタの形成と同様に、かつ同時に形成できる。

【図面の簡単な説明】

【図1】この発明の1実施例であるヘテロ接合バイポーラトランジスタのエネルギーバンド構造と層構成とを示す構成図である。

【図2】この発明の第2の実施例であるヘテロ接合バイポーラトランジスタのエネルギーバンド構造と層構成とを示す構成図である。

【図3】この発明における第3の実施例である集積化受光回路の構成を示す断面図である。

【図4】従来のヘテロ接合バイポーラトランジスタのエネルギーバンド構造と層構成とを示す構成図である。

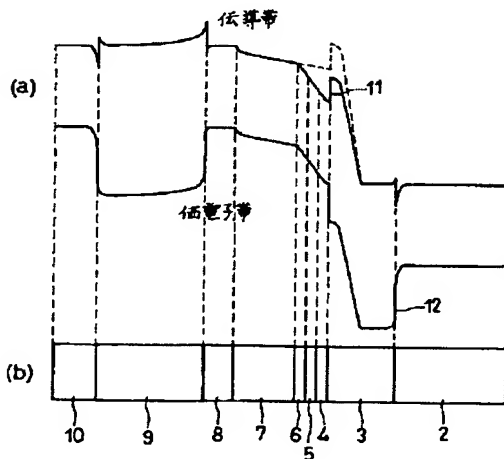
【図5】従来のヘテロ接合バイポーラトランジスタとPin型フォトダイオードとの集積化受光回路の構成を示す断面図である。

【図6】コレクタにBTC構造を用いた従来のヘテロ接合バイポーラトランジスタのエネルギーバンド構造と層構成とを示す構成図である。

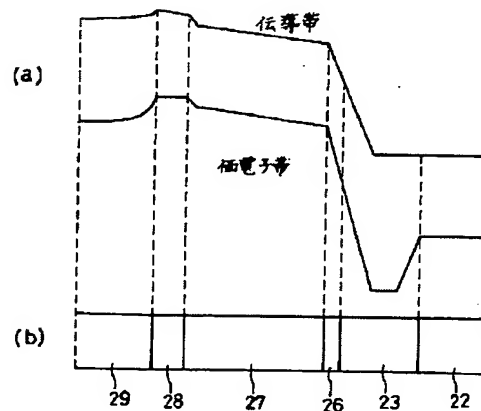
【符号の説明】

- 2 コレクタコンタクト層
- 3 コレクタ層
- 4, 5, 6 薄いコレクタ層
- 7 コレクタ層
- 8 ベース層
- 9 エミッタ層
- 10 エミッタコンタクト層
- 11, 12 不連続

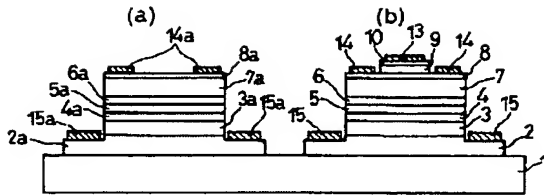
【図1】



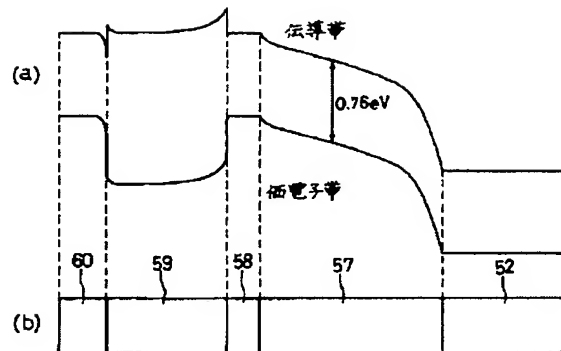
【図2】



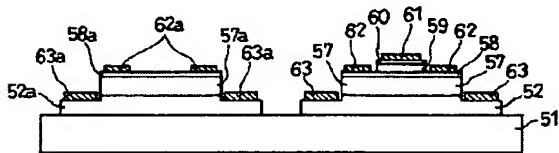
【図3】



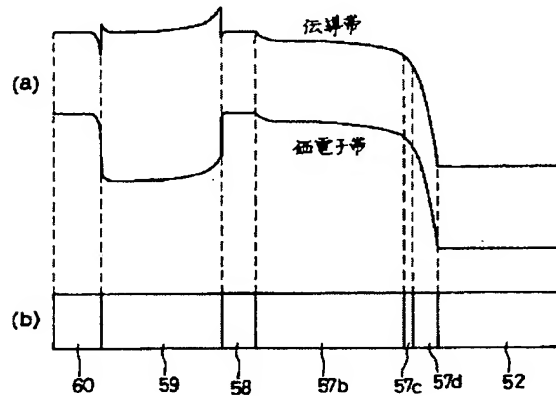
【図4】



【図5】



【図6】



フロントページの続き

(51) Int. Cl. ⁵

H01L 31/10

識別記号

庁内整理番号

F I

技術表示箇所

(72) 発明者 中島 裕樹

東京都千代田区内幸町1丁目1番6号 日
本電信電話株式会社内

(72) 発明者 石橋 忠夫

東京都千代田区内幸町1丁目1番6号 日
本電信電話株式会社内

THIS PAGE BLANK (USPTO)